

(11)特許出願公開番号

(43)公開日 平成7年(1995)6月16日

| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|---------|-----|--------|
| H 0 4 B 14/06 | A | 9372-5K | | |
| H 0 3 D 3/00 | A | 4239-5J | | |

審査請求 未請求 請求項の数13 OL (全 8 頁)

最終頁に続く

(54)【発明の名称】 変調された搬送波信号を受信するための受信器、及びその受信構成を用いたＩＱ混合／復調器

【特許請求の範囲】

【請求項1】 変調された搬送波信号を受信するための受信器であって、帰還ループ内に少なくとも1つの加算器をもつシグマ/デルタ信号変調器を備えている受信器において、前記受信器の構成上、前記帰還ループの前に前記変調された搬送波信号をダウン変換するための時間的な離散性をもつサンプリング手段が設けられてことを特徴とする受信器。

【請求項2】 前記時間的な離散性をもつサンプリングの構成が、矩形波信号の制御のもとでのスイッチング素子を備えて構成されている、請求項1に記載の受信器の受信構成。

【請求項3】 前記矩形波信号の周波数が、前記搬送波信号の周波数、又は該搬送波信号周波数の調波である、請求項2に記載の受信構成。

【請求項4】 前記矩形波周波数の周波数は、前記ダウン変換される信号の周波数が前記搬送波周波数及び基本帯域信号の周波数の中間になるように選択される、請求項2に記載の受信構成。

【請求項5】 前記時間的な離散性をもつサンプリング手段が、複数の切替式キャパシタ・スイッチング素子を備えている、請求項2乃至4に記載の受信構成。

【請求項6】 変調された搬送波信号を受信するための電子的な受信構成であって、前記受信構成上、シグマ/デルタ信号変調器と、前記搬送波周波数又はその調波周波数、又は少なくともこれら近傍の周波数で制御される混合器/復調器と、閉信号ループに含まれる少なくとも1つの加算器と備えている受信構成において、

受信され且つ変調された搬送波信号 (in) がシグマ/デルタ信号変調器の入力段 (10) に送られ、該シグマ/デルタ信号変調器が時間的な離散性をもつサンプリング構造として実現されており、その第1の素子 (1) が混合器として動作し、該混合器の出力が前記加算器 (3) の第1第2入力に送られ、該加算器 (3) の第2の入力 (I1) が、前記シグマ/デルタ信号変調器の前記帰還信号 (out) となり、これにより該出力信号 (OUT) がデシメータ及び低域通過フィルタを介して基本周波数出力信号に向けられるように構成したことを特徴とする電子的な受信構成。

【請求項7】 前記ミキシングのための素子 (1) が基本的にはスイッチング素子であり、該スイッチング部材は前記搬送波周波数 (L0) 又はその調波 (L0/n) の周波数上で矩形波信号により指向され、これにより前記入力に適用される信号 (in) が基本周波数にフォールドされることを特徴とする、請求項6に記載の受信構成。

【請求項8】 前記ミキシングのための周波数 (L0) が、周波数 $L0 + \Delta f$ によって置き換えられ、これにより前記入力に適用される信号 (in) が基本周波数の中間周波数 Δf 上でフォールドされることを特徴とする、請求項6又は7に記載の受信構成。

【請求項9】 前記入力段 (10) が、切替式のキャパシ

タ・スイッチング積分器を備えた構成素子で構成されていることを特徴とする、請求項6乃至8のいずれか1項に記載の受信構成。

【請求項10】 前記シグマ/デルタ変調器が、自動利得制御機能 (AGC) 用の少なくとも1つの調整可能な増幅段を備えていることを特徴とする、請求項6乃至9のいずれか1項に記載の受信構成。

【請求項11】 入力信号を2つのブランチ I (位相) 及び Q (直角位相) に分割する I/Q 混合/復調器であって、前記両方のブランチに請求項2乃至10のいずれか1項に記載された受信構成が用いられていることを特徴とする I/Q 混合/復調器。

【請求項12】 要求される位相のための構成が、前記入力信号 (in) 又は前記局部信号 (LO)、あるいはこれらの両方に対して構成されることを特徴とする、請求項11に記載の I/Q 混合/復調器。

【請求項13】 請求項2乃至10のいずれか1項に記載の受信構成を用いた無線電話器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、変調された搬送波信号 (以下「被変調搬送波信号」という) を受信するための受信構成に関する。

【0002】

【従来の技術】 EP 0 461 720-A1 は、被変調搬送波信号を受信するための受信構成について開示しており、係る受信構成においては、搬送波周波数 f_c の正弦波発振器でドライブされる混合器/復調器と、少なくとも1つの加算器と、低域通過フィルタと、1ビットのシグマ/デルタ信号変調器を構成するパルス成形器とが設けられており、全てが閉信号ループ内に包含され、パルス成形器がサンプリング周波数 f_s でドライブされている。そして更に、上記受信構成には、デジタルのデシメーションフィルタ (decimation filter) が設けられている。このタイプの受信構成において、被変調搬送波信号は、混合器/復調器によって閉信号ループ内で復調され、その出力信号は、低域通過フィルタの通過後、シグマ/デルタ変調器によりデジタル信号に変換される。

【0003】 代表的な従来のシグマ/デルタ変調器の構成について、図1を参照しながら詳細に説明する。

【0004】 入力してくる中間周波数の IF 搬送波信号は、上記受信構成の各々ブランチに与えられる。各々ブランチにおいて、入力信号は、帯域フィルタ1を通して濾過され、IF 周波数の正弦波局部発振器信号 LO1 を用いて、リニア混合器2内で基本帯域信号 (baseband signal) に混合される。上記入力信号ブランチ上の各々には、大きな時定数をもつキャパシタ3が設けられ、基本帯域信号から直流電流分を取り除いている。この回路の利得は、自動利得コントローラ5 (AGC) を介して制御されており、その各基本帯域信号は変調器6内でデジタル

信号に変換される。変調後、各信号は、それぞれのデシメータ7、ポスト・フィルタ8を通して送られ、デシメータに依って生成されるスプリアス信号を除去する。以下に示すものは、図1に図示されている特定の構成に関するものであり、局部発振器周波数及び位相シフトの詳細である。

PH11 = +45度

PH12 = -45度

PH13 = PH14 = 0度

L01 = IF

L02 = オーバーサンプリング周波数

【0005】この復調、すなわち中間周波数の(帯域濾*

$$\cos(a) * \cos(b) = 1/2 * \cos(a-b) + 1/2 * \cos(a+b) \quad (1)$$

上記関係式(1)は、両方の積が純粋な余弦波信号である場合にだけ保持される。

【0006】ここで、 $\cos(a)$ が変調されたint搬送波を表している場合、

$$a = \omega_0 * t + PHI \quad (2) \quad *$$

$$b = n * \omega_1 * t \quad (n = 1, 2, 3, \dots)$$

ここで、 $n * \omega_1$ は混合器の発振器の角周波数である。

【0007】理想的な場合では、発振器の周波数と位相は、入力信号(in)の搬送波の周波数及び位相にロックされる。これらの条件に於いて、 $\omega_0 = n * \omega_1$ と、 $1/2 * \cos(a-b)$ 項は、 $1/2 * \cos(PHI)$ に減少される。この基本周波数の位相差信号はデータ・シンボルを伝える。 $1/2 * \cos(a+b)$ の項は、周波数 $2 * \omega_0$ 上の周波数スペクトルの成分を表している。

【0008】

【発明が解決しようとする課題】前述のような従来の受信構成が個別の構成部品により製作される場合、これらは非常に広い面積をプリント基板上に要求する。更に、シグマ/デルタ変調器に入る信号は基本帯域信号なので、交番結合された各ブランチは、直流ブロッキングを実現するために、大きな時定数をもつ非常に高い高域通過コーナー周波数を必要とする。これは、理想的に頻繁にパワーダウンされ、再度のパワーアップがゆっくりとした構成のためには不適当であり、その結果、回路を短時間にパワーダウンすることができなくなることを意味している。従って、この回路は非常に大きな電力を消費する。

【0009】

【課題を解決するための手段】そこで本発明によれば、変調された搬送波信号を受信するための受信器であって、この受信器が、フィードバックループ内に含まれる少なくとも1つの加算器をもつシグマ/デルタ信号変調器を備えるものにおいて、その構成上、その帰還ループの前に被変調搬送波信号をダウン変換するための時間的離散性をもつサンプリング手段を備えることを特徴とする受信器が提供される。

*過された)int信号を基本周波数におとすミキシングは、典型的にはマルチプライヤ(multiplier)の利用に基づかれる。従って、変調されたIF信号は、正弦波発振器信号(L01)によって乗算される。同期復調の場合、係る発振器の周波数及び位相は、例えば、位相ロック・ループ(PLL)の支援により搬送波に固定される。混合された積の周波数スペクトルは、所望の基本周波数成分と、シグマ/デルタ変調器に入力される前の低域通過フィルタリングによって取り除かれた成分スペクトルとを含む。このような混合プロセスは、以下に示す三角関数の関係式から説明される。

※尚、 ω_0 は搬送波の角周波数、PHIは瞬時位相変調(QAM, MSK, QPSK, GMSK, ...)であり、理想的には、 $\cos(b)$ の項が明瞭な混合用発振器周波数(L0)を示している。すなわち、

(3)

【0010】

【作用】時間的な離散性のサンプル抽出手段を用いて搬送波周波数信号をダウン変換することにより多くの利点が得られる。第1に、高価な正弦波発振器が不要になるので、スペースとコストの面で利点を与える。第2に、IF信号手段をダウン変換する正確な正弦波局部発振器に代えて時間的な離散性のサンプル抽出手段を用いることは、混合作用がサンプリングの周波数、またサンプリングの高調波成分で起こることを意味しているが、この指摘される欠点は、各サンプルが搬送波信号の調波周波数(subharmonic frequency)にて局部発振器サンプリングを用いて取り出されることを可能にするので、システムの利点として使用することができる。したがって、これにより大きな電力節約がさらに提供される。

【0011】本発明を実現する1つの方法は、切替式のキャパシタ・スイッチング素子をもつシグマ/デルタ信号変調器の入力段を使用して、混合器として作動する上記時間的な離散性をもつサンプリング手段を備えることである。入力段に与えられる所望の切替式キャパシタ・スイッチング素子をもつシグマ/デルタ変調器は、ASICとしても実現できる。係る混合器の出力は、シグマ/デルタ変調器の閉帰還信号ループ内に含まれる加算器の第1の入力に送られてもよい。この加算器は、第2の入力としてシグマ/デルタ信号変調器の帰還信号を備え、これがデシメータ及び低域通過フィルタに送られ、加算器の第2入力に提供される。

【0012】本発明に係る各実施態様の各回路に於いて、入力する被変調信号は、基本帯域周波数信号、または閉帰還ループに入る前に基本帯域周波数に接近している周波数に混合される得る。

【0013】このような各シグマ/デルタ変調器は、基

本帯域信号を変換する際に典型的に用いられる。しかし、本発明によれば、それらは各中間周波数信号を直接的に変換するために適応され得る。

【0014】厄介な交流カップリングの問題、すなわち制御と高域通過フィルタリングの問題は、本発明に係る各実施態様の回路構成によって解決される。同様に、電力消費は、受信器を準備状態から動作状態に切り替える時間を短縮することにより少なくなることができる。これは、小さな時定数をもつキャパシタンスが直流ブロッ

10 キングに適用されるので、回路が使用されないとき、通常考えられる短い時間で回路がパワーダウンされることを可能にする。

【0015】また、更なる利点は、切替式のキャパシタを用いることにより、この回路の自動的な利得制御を提供できることにある。これは、係る受信構成に全体として必要とされるAGC-回路の数が減少され得ることを意味する。本発明の実施態様を用いた場合、必要なフィルタリングの部品は、上記シグマ/デルタ変調器内に上述のデジタル・フィルタを用いることにより、混合段階とa

20 d変換段階との間に更なるフィルタを必要とすることなく提供され得る。

【0016】尚、本発明に係る実施例は、例えば無線電話器内にて効果的に利用され得る。

【0017】

【実施例】以下、本発明に係る実施例を添付図面を参照しながら説明する。図2は、本発明に係る一実施例の受信構成を示しており、係る受信構成では、広いダイナミック入力範囲をもつシグマ/デルタ・アナログ/デジタル変調器が用いられており、その中の混合器11は、図4に図示されるような切替式キャパシタ・スイッチング素子30-39を用いて実現されている。混合器11の混合機能を与える切替式キャパシタスイッチング素子は、IP信号の周波数、又はその近傍の周波数の矩形波の局部発振器信号(L01)によりドライブされる。上記混合器及び局部発振器の各信号は共にデジタルである。更に、幾つかの切替式キャパシタ・スイッチング素子が設けられており、係る回路に自動的な利得制御機能を与える自動利得コントローラ(AGC)12を実現している。本受信構成は、帯域通過フィルタ10を備えており、各ブランチは、更に、各信号をアナログ信号からデジタル信号に変換する変調器13と、デシメータ14と、図1に図示されている従来の受信構成に対応する各部分と同じ機能を行うポスト・フィルタ15とを備えている。この信号の事前濾過機能(変調後)は、それぞれの回路の設計仕様に自由に対応するべく作ることができ、シグマ/デルタ変調器の直流変位は、各変位に対する内部のデジタル補正機能を用いて補正され得る。

【0018】以下に示すものは、それぞれのブランチに与えられる局部発振器信号の位相及び周波数の詳細である。

PHI3 = +45度

PHI4 = -45度

L01 = IP

【0019】基本周波数出力信号は、変調のための情報を検索するべく処理されるデシメータ及び低域通過フィルタの後、変調器から与えられる。上記シグマ/デルタ変調器の構成に入る信号はIP信号なので、直流信号がシグマ/デルタ変調器に送られることを防止するために、小さな時定数をもつキャパシタ9だけが必要である。これは、係る装置が瞬時にパワーアップ及びパワーダウンされることを意味し、且つ、上記パワーアップに僅かなパワーしか要求されないで、短時間のパワーダウンとなることにより、従来の受信構成よりも電力効率に優れるので実際的であることを意味している。

【0020】混合器11、AGC12、及び変調器13について図3を用いて詳細に説明する。被変調受信信号(in)、例えば無線電話のRF部からの帯域濾波されたint信号は混合器11(mix)に送られる。混合器11には、局部発振器(L01)の信号も供給されている。局部発振器(L01)は、受信される信号(in)の搬送波周波数、又はその近傍、又はその低調波周波数にある。混合器11の出力は第1の加算器16に送られ、その第2の入力が帰還信号f1となる。第1の加算器16の出力は積分器17に送られる。積分器17の出力は第2の加算器18に送られ、その第2の入力が帰還信号f2となる。第2の加算器18の出力は、第2の積分器19と、更にコンパレータ20にも送られる。コンパレータ20の出力信号(out)は、更に、デシメータ14及び(低域通過の)ポスト・フィルタ15に送られ、上記L01及び搬送波信号の混合から起きる好ましくない信号を濾過する。

30 【0021】この出力信号は、例えば、デジタル信号処理手段を用いて処理され得る基本周波数信号(base-frequency signal)を備える。また、上記出力信号(out)は、各々の帰還ブランチ内の第1及び第2の加算器18(f1)、(f2)に結合される。

【0022】上記第2の加算器18、第2の積分器19(int2)、コンパレータ20(cmp)は、上記回路内に第2の閉帰還ループを提供する。当業者は、シグマ/デルタ変調器の基本的な原理について周知であると存じるので、これに関しては更に詳細しない。尚、その詳細な説明については、例えば以下のような文献がある。「シグマ/デルタ変調のアナログ/デジタル変調器の設計」、Bernhard E. Boser, Bruce A. Wooley著、半導体回路に関するIEEE誌、vol. 23, No. 6, 1988年12月号、及び、「オーバーサンプリング型シグマ/デルタ・データ変調器の理論と設計及びシミュレーション」、J.C. Candy and G.C. Temes 著、IEEE誌 1992 年

【0023】従来、典型的にアナログ帯域通過フィルタは、シグマ/デルタ変調器の変調段に入力する前に提供され、ミキシングにより起こる好ましくない信号を除去

7

する。しかし、本発明においては、このシグマ/デルタ変調器自身のデジタル濾波機能が、このような好ましくない信号の除去に使用され得る。

【0024】図4は、図2の実施例における受信構成の入力段を示しており、混合器11及びAGC 12の切替式キャパシタスイッチング素子を詳細している。第1のコンデンサ30は、入力信号をサンプル抽出して保持するために用いられる。第1のスイッチ 31, 32 は、サンプルを第1のコンデンサ30に与えるために閉じられている。一旦、入力信号がサンプル抽出されると、第3のスイッチ 33が閉じられ、第1のコンデンサ30のチャージ分を出力に送る。第2及び第3コンデンサ 34, 35 (更に増える可能性もある) は、第1のコンデンサ30と並列に設けられる。これらは、一対のスイッチ 36 及び37, 38及び39を通して、その入力及び出力と各々制御可能な状態で接続される。適切な幾つかのスイッチを閉じて、1つ又*

$$\cos(n\omega_1 t) + 1/3\cos(3n\omega_1 t) + 1/5\cos(5n\omega_1 t) + \dots \quad (4)$$

【0026】高次の余弦項は、混合器 (1)の出力信号のスペクトルに対して各周波数の合計成分及び差成分を生成する入力信号 (i_n) とともに混合器 (1)内で混合される。基本周波数よりも高い周波数の全ての入力信号は、シグマ/デルタ変調器の混合段階に入力される前にフィルタによって濾波される。

【0027】好ましくは、混合用素子として切替式キャパシタ・スイッチング素子の第1スイッチ1を使用することにある。この場合、局部発振器信号 L_0 の周波数の倍数近傍の信号帯域が、基本周波数上にフォールドされる。したがって、局部発振器の基本周波数、又はその調波 (harmonics) は、搬送波信号を基本帯域又は基本帯域に近い周波数にダウン変換するために使用される。局部発振器を用いた場合のミキシングに起因する好ましくない信号は、濾過作用に依って除去される。

【0028】図2に戻り、本発明の技術思想は本実施態様の回路構成で実現され、これにより、シグマ/デルタ変調器の入力段階に与えられる切替式キャパシタ・スイッチング素子が混合器11に設けられ、この混合器11がIF信号を基本周波数信号に直接的に復調する。言い換えると、IF信号及び其の倍数の信号が基本周波数にフォールドされる。このシグマ/デルタ変調器の入力段階の第1スイッチ31は、混合器11として作動するよう利用される。

【0029】図2乃至図4の実施態様は、IF搬送波信号の周波数と同じか、あるいはこれに近い周波数 L_{01} をもつ局部発振器を用いて実現される。上記 L_{01} において望ましいことは、入力信号と同じ周波数を有することであ*

$$b = n\omega_1 t + \Delta\omega t$$

ここで、 $\Delta\omega$ は周波数 Δf に対応する角周波数である。

【0032】上記関係式(1)は、正弦波の局部発振器を用いて従来の算術的な解法を扱うものであるが、本発明の実施態様の時間的な離散サンブラを用いるミキシング

8

*はこれ以上の第2及び第3のコンデンサ34, 35の並列な静電容量を加えることにより、信号転送比率が変更され得る。これらのスイッチは、外部のCPUの制御下であり、当該回路の自動的な利得制御処理を全体として交換するべく使用され得る。このように、各増幅段は、入力静電容量の割合を変えることにより、シグマ/デルタ変調器に備えられ得る。

【0025】混合器11は、サンプルとして、且つ、発振器と同期する入力信号をサンプル抽出してサンプル間隔の間、変わらずに残存する信号として上記各サンプルを出力する保持回路として考えることができる。したがって発振器信号 (L_0) は、「 $n\omega_1$ 」の基本周波数をもった矩形波で表される。関係式 (1) の「 $\cos(b) = \cos(n\omega_1 t)$ 」項の代わりに、以下に示す一連の奇数調波が与えられる。

※るが、多くの場合、これはIF搬送波信号の周波数から僅かにオフセットされた局部発振器周波数 L_{01} を使用することが实际的に好ましいとすることもできる。ミキシング周波数は、例えば、 $L_0 + \Delta f$ (ここで、「 L_0 」はIF搬送波信号の周波数である) となり得る。この場合、その入力に適用される信号 (i_n) は、基本帯域周波数にほぼ等しい周波数 Δf にフォールドされる。被変調中間周波数 (i_n) が 1010 kHz である場合、そのミキシング信号 $L_0 + \Delta f$ は、例えば 900 kHzとすることができ、この場合、これにより復調される信号は、基本帯域周波数に対して -110 kHz の周波数になる。

【0030】このIF搬送波信号から僅かにオフセットされた周波数をもつ局部発振器を使用することが現実的であろう1つの例は、混合器11をドライブするための矩形波の局部発振器を提供するシグマ/デルタ変調器内に通常的に設けられるドライバーが、そのIF搬送波信号と正確に一致しない場合である。また、他の例は、それが4倍のオーバーサンプリングを提供することが望ましい場合である。これらの状況下において、これ以降のデジタル混合器は、幾つかの信号が基本帯域からオフセットされた周波数 Δf にある場合、その実現が容易にされ得る。一般に、搬送波周波数の1 MHz 以内の信号が、入力信号をダウン変換するために適用される。

【0031】通常的な構成に於いて、正弦波の局部発振器のミキシング周波数が、 Δf だけIF搬送波信号から異なる場合、上記関係式(1)の $\cos(b)$ の項は、以下の関係式によって解決される。

(5)

により生成されるダウン変換された信号が、a-d変調段階に入力される前に一旦フィルタリングされるので、効果的に正確な余弦信号となり、関係式(1)が維持される。

【0033】また、図2乃至図4の受信構成は、搬送波周波数の調波を用いて入力信号を基本帯域（または基本帯域に近い周波数）にダウン変換するのにも使用され得る。これらの状況において、それぞれのブランチに与えられる局部発振器信号の位相及び周波数の詳細は以下の通りである。

PHI3 = +45/N度

PHI4 = -45/N度

LO1 = IF/N

【0034】他の点に関して、この構成は前述と同様に作動する。

【0035】入力信号（in）が2つの異なるブランチに分岐される場合、本発明の実施態様の受信回路構成を各ブランチ内に構成することができる。I/Q変調される信号（Iは位相、Qは90度の位相シフト）の復調は、周知の原理を用い容易に実現することができ、これは例えば「デジタル通信」、Edward A. Lee, David G. Messerschmitt, Kluwer Academic Publishers著、ボストン1990年の文献に示されている。この場合、両方のブランチの変調器のクロックは同期されている。

【0036】

【発明の効果】尚、当業者は、本発明に係る実施態様の回路構成が比較的少ない回路素子を用いて簡単に実現されることが分かるであろう。これらは、無線電話のために特に重要な回路に対して電力消費の節約と、高速な作動（準備状態から動作状態への高速シフト、及びその反

対の動作）を実現する。

【0037】本発明は、それが特許請求の範囲に記載された内容に関連するか否か、あるいはその課題の全て又は一部を緩和するか否に係わず、ここに開示した新規な特徴及びその組み合わせを包含する。上記開示に鑑み、当業者においては、本発明の技術的範囲で様々な変形例又は変更例が案出され得るであろう。

【図面の簡単な説明】

【図1】シグマ/デルタ変調器の構成を示したブロック図である。

【図2】本発明に係る第1の実施例を含むシグマ/デルタ変調器のブロック図である。

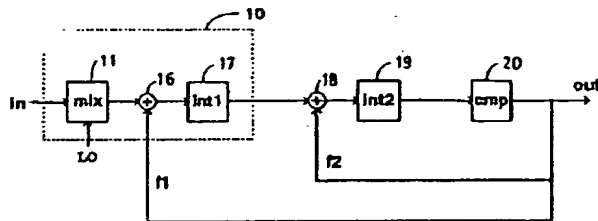
【図3】図2の実施例においてミキシング機能と自動利得制御機能とを実現するのに適した切替式のキャパシタ・スイッチング素子の概略的なブロック図である。

【図4】入力信号の搬送波周波数、又はその近傍の局部発振器により動作する図2のシグマ/デルタ変調器を備えた受信構成の実施例を概略的に示した回路図である。

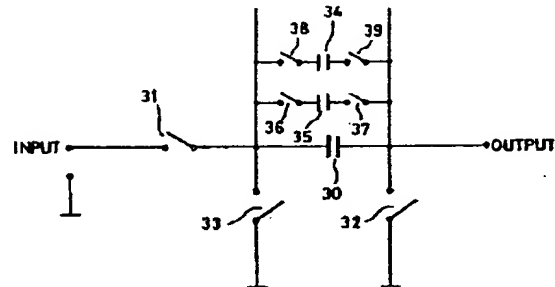
【符号の説明】

- 10…帯域通過フィルタ
- 11…混合器
- 12…AGC
- 13…変調器
- 14…デシメータ
- 15…ポスト・フィルタ

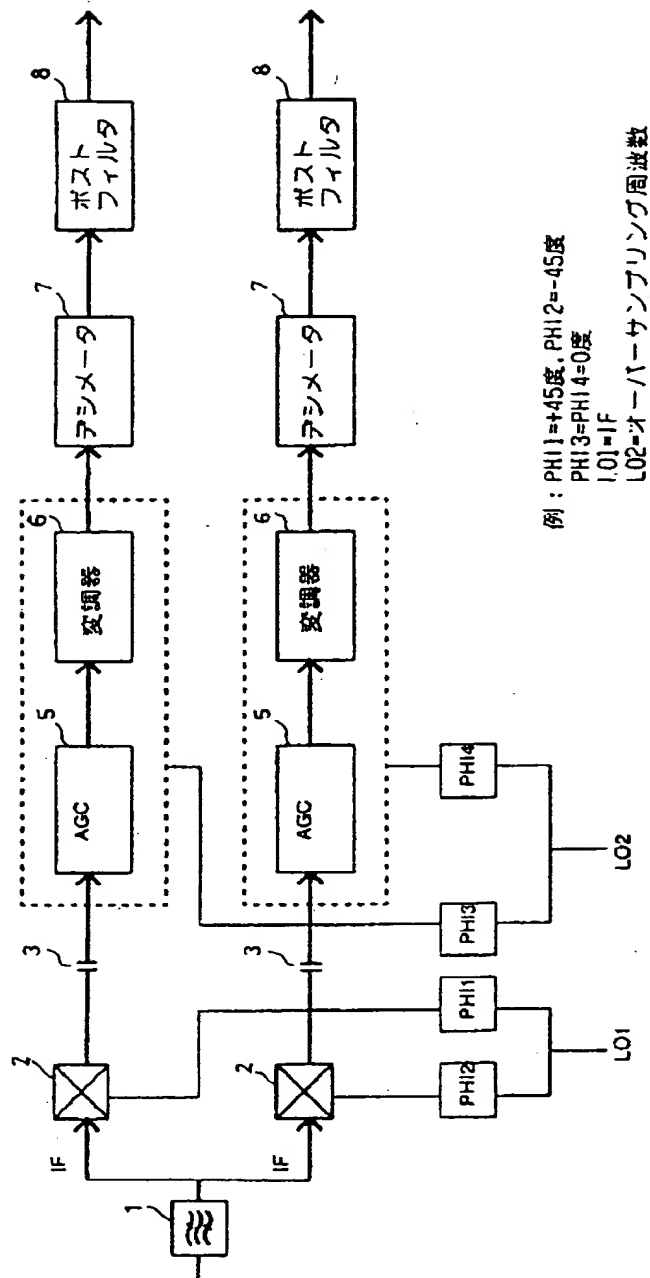
【図3】



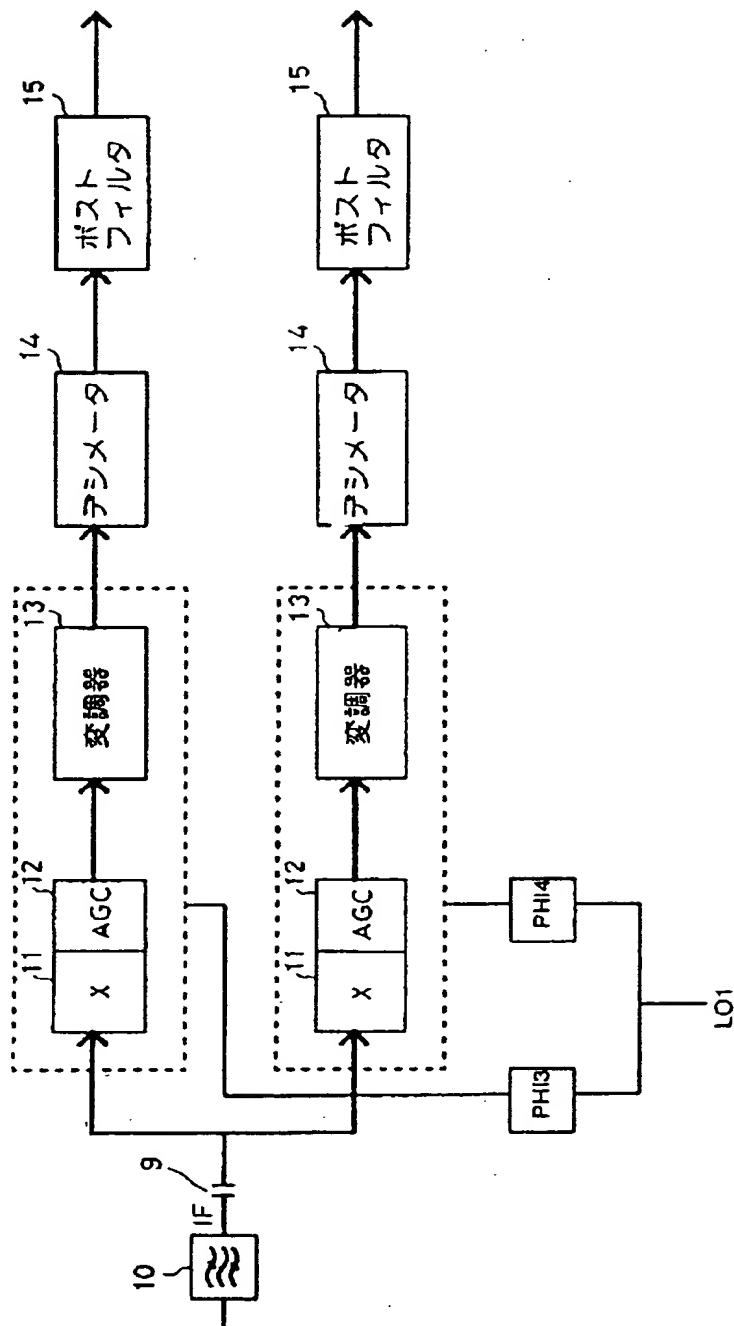
【図4】



【図1】



【図2】



フロントページの続き

(72)発明者 ラウリ シレン
 フィンランド国、エフアイエヌ-90580
 オウル、タルピッキティ- 17 ペ- 1